QuatusII基本使用流程(下):

一.QuatusII使用实例

第一步:编码

用文本编辑器正确编写源文件(本例run.v),并经modelsim仿真确认该电路设计正确.

第二步:新建工程

新建工程New project (注意工程名和设计文件的module名保持一致),选择和开发板一致的FPGA器件型号(本课程为Cyclone IV E系列EP4CE115F29C7)

第三步:添加文件

Add to project,将全部源文件 (本例run.v)添加到工程中

第四步:编译

Start Compilation ,编译源文件 (如有错误修改后,重新编译)

第五步:查看电路结构

使用Tool->RTL viewer工具查看电路图结构,是否和预期设计一致.

第六步：管脚绑定(参考下面管脚绑定举例)

使用Assignment->pin planner将设计的全部输入/输出接口与开发板的对应管脚进行一一对应（此时同时参考DE2\_115 User Manul.pdf文件）

第七步：全编译生成可下载文件（\*.sof）

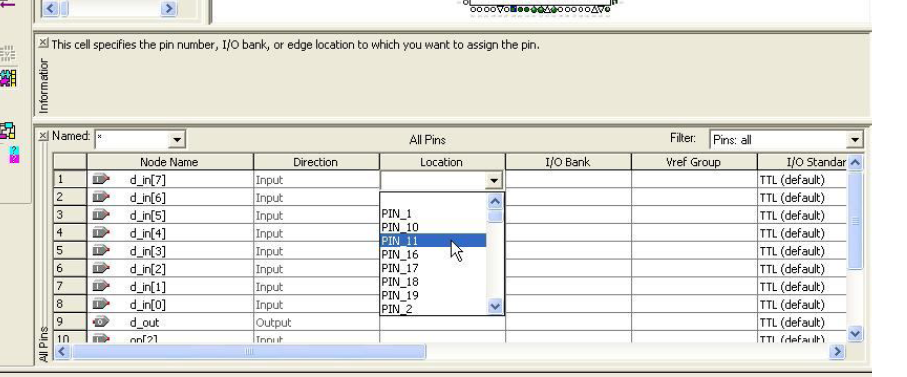
Processing->Start Compilation

第八步：将开发板USB线连接到计算机，并开启电源，安装驱动程序（安装方法参考提示）

第九步：程序下载至FPGA开发板，并观察现象

点击工具栏 Programmer进行程序下载。

二.管脚绑定举例:



本例程是一个定时器为核心的流水灯，同学们自己构思，怎样可以对所设计的状态机进行下载测试。

//??????????????????

module run (clk,rst,out);

input clk,rst;

output [7:0] out;

reg [7:0] out;

reg [24:0] count;

always @ ( posedge clk or negedge rst )

if(!rst)

begin

count<=16'b0;

end

else

begin

count<=count+1;

end

always @ ( posedge clk or negedge rst)

if(!rst)

begin

out<=8'hff;

end

else

begin

case ( count[24:21] )

0: out<=8'b1111\_1110;

1: out<=8'b1111\_1101;

2: out<=8'b1111\_1011;

3: out<=8'b1111\_0111;

4: out<=8'b1110\_1111;

5: out<=8'b1101\_1111;

6: out<=8'b1011\_1111;

7: out<=8'b0111\_1111;

8: out<=8'b1011\_1111;

9: out<=8'b1101\_1111;

10:out<=8'b1110\_1111;

11:out<=8'b1111\_0111;

12:out<=8'b1111\_1011;

13:out<=8'b1111\_1101;

14:out<=8'b1111\_1110;

15:out<=8'b1111\_1111;

endcase

end

endmodule